

Ayudas a PROYECTOS DE INNOVACIÓN Y

MEJORA DOCENTE

2019-2020



**VNiVERSiDAD
D SALAMANCA**

CAMPUS DE EXCELENCIA INTERNACIONAL

Informe Final

Ref. ID2019/225

Proyecto de Innovación Docente

Enseñanza de Electrónica basada en casos: Diseño de PLLs

Centro de ejecución	Facultad de Ciencias
Departamento y Área de Ejecución	Física Aplicada / Electrónica
Miembros del equipo	Yahya Moubarak MEZIANI (IR) María Susana PÉREZ SANTOS Ana María PÉREZ MUÑOZ

INTRODUCCIÓN

En este documento es el informe del Proyecto de Investigación Docente (PID) con el título “**Enseñanza de Electrónica basada en casos: Diseño de PLLs**” se ha dirigido a mejora de la docencia de un circuito muy especializado, el Phase-Locked Loop (PLL) cuya traducción funcional “*lazo de atrapamiento de fase*” resume la acción básica del circuito.

Los PLLs se usan en las aplicaciones de radio frecuencia (RF), de comunicaciones inalámbricas y de la electrónica digital. Se usan por ejemplo en la modulación/demodulación de señales, en la síntesis de frecuencia (transmisión radio, TV, móviles, ...), recuperación de la señal de reloj en los sistemas digitales. En resumen, se usan en casi todos los aparatos electrónicos. Adicionalmente, la Instrumentación Electrónica profesional usa el circuito en aplicaciones críticas para la medida de bajo ruido en los amplificadores de tipo *lock-in*.

Desde el punto de vista docente, sin embargo, existen pocos recursos para la explicación de su funcionamiento y, muy comúnmente, en la programación docente el tratamiento del PLL es esencialmente fenomenológico. Existe una amplia variedad de razones que justifican este hecho y se tratan en la sección “Alcance y Contexto” de este informe. Tras esta sección presentamos la de “Desarrollo del Proyecto y Resultados”, teniendo en cuenta la amplitud del trabajo realizado hemos adoptado una exposición sinóptica de los resultados alcanzados.

Los objetivos se presentan en la siguiente sección.

OBJETIVOS

El objetivo general del presente PID fue el desarrollo y puesta a punto de contenidos prácticos para la enseñanza del sistema PLL que serán implementados de manera transversal en diversas asignaturas del Área de Electrónica que comparten contenidos de Instrumentación Electrónica y Comunicaciones. El proyecto se enfocó en un circuito electrónicos cuyo estudio es extremadamente complejo. La **metodología** de enseñanza adoptada fue del tipo **basada**

en casos que permita la modulación de contenidos en función del nivel de estudio en la asignatura. Se han abordado todas las fases desde la de diseño a la de medida.

Los objetivos concretos fueron:

1. Diseño e implementación del caso del circuito/caso bajo estudio.
2. Implementación de un procedimiento de diseño basado en simulación de tipo PSPICE a nivel de circuito.
3. Montaje y medida en el laboratorio.
4. Generación de contenidos, documentación y recursos docentes de autoayuda y autoaprendizaje que se han puesto a disposición de los estudiantes en Studium.

El proyecto ha permitido generar, como se había propuesto en la memoria, recursos y contenidos para su uso en docencia – especialmente de tipo práctico – de un gran interés para ser aplicado en la docencia práctica de las siguientes asignaturas impartidas por el área de Electrónica:

	Asignaturas Y Titulaciones Que Se Benefician Del Proyecto De Innovación
1	Instrumentación Electrónica (2º curso, Grado en Física, Obligatoria, Fac. Ciencias)
2	Electrónica de Comunicaciones (4º curso, Grado en Física, Optativa, Fac. Ciencias)
3	Sistemas Electrónicos Digitales (4º curso, Grado en Física, Optativa, Fac. Ciencias)
4	Electrónica y Electrotecnia (3 ^{er} curso, Grado en Ingeniería Química, Obligatoria, Fac. Ciencias Químicas)
5	Arquitectura de Computadores (1 ^{er} curso, Grado de Ingeniería Informática en Sistemas de Información, Obligatoria, EPSZA)
6	Instrumentación Electrónica (2º curso, Doble Grado en Ingeniería Mecánica e Ingeniería de Materiales y Grados en Ing. Mecánica e Ing. De Materiales, Obligatoria, EPSZA)
7	Física de Sensores (Máster en Física y Matemáticas, Optativa, Fac. de Ciencias)
8	Caracterización de materiales y dispositivos (Máster en Física y Matemáticas, Optativa, Fac. de Ciencias)
9	Nanoelectrónica y aplicaciones en alta frecuencia, Máster en Física y Matemáticas, Optativa, Fac. de Ciencias

En alguna de ellas, como señalamos más delante, los recursos han sido directamente aplicados en el presente curso académico y se implantarán de manera modulada en el resto a lo largo de los próximos cursos.

En este PID hemos elegido un caso muy relevante y extendido en aplicaciones de medida, instrumentación electrónica y comunicaciones: el lazo de atrapamiento de fase o phase-locked loop (PLL).

La práctica docente sobre el PLL tiene una especial dificultad que a menudo conduce, como hemos mencionado, a un tratamiento semi-cualitativo en teoría que suele también conllevar una falta de atención en las sesiones prácticas. Varias son las razones que explican lo anterior, la fundamental reside en la naturaleza del circuito.

En su forma más simple, puede considerarse al PLL como un circuito de control con una retroalimentación de bucle cerrado que es sensible tanto a la frecuencia como a la fase. El concepto de retroalimentación suele introducirse a nivel de amplificador y, en sí mismo, no es nuevo para los estudiantes de nivel de Máster, pero no puede tratarse en los primeros cursos de Grado que se limitan al concepto de amplificador analógico. Por lo tanto, es necesario generar contenidos prácticos de diferente alcance en función del *background* del estudiante.

Además del concepto de realimentación ya analizado, debe considerarse al PLL no como un circuito analógico (de hecho, los PLLs más comúnmente usados tienen ya un diseño digital) y o un componente electrónico, si no como un sistema que consta de componentes analógicos y digitales, interconectados en una configuración de "retroalimentación negativa". En la Figura 1 se muestra el diagrama de bloques del PLL más simple, es decir, puramente analógico. La entrada del sistema es un circuito de tipo detector de fase (en un circuito analógico, se aproxima a que un comparador de fase es un circuito que realiza una operación de multiplicación) con otra generada en el lazo de realimentación. Aunque esta primera etapa (detector de fase) no es la más compleja del circuito basta para condicionar un **comportamiento fuertemente no lineal** del PLL. Es decir, a diferencia de la mayoría de los circuitos analógicos, el PLL es un circuito no lineal cuyo análisis no puede enfocarse con sistemas lineales de ecuaciones como en amplificadores y filtros.

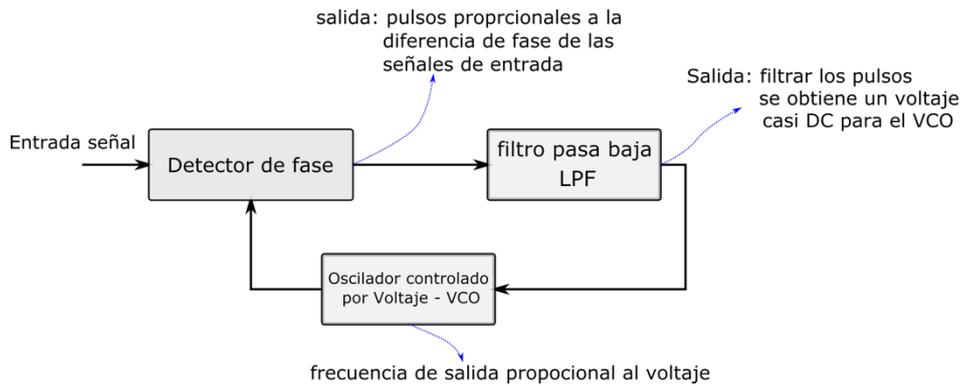


Figura 1. Diagrama de bloques de un PLL analógico.

Adicionalmente, el lazo de realimentación (pasivo en amplificadores realimentados) contiene un oscilador controlado en voltaje (VCO) conduciendo a que el PLL sea un circuito conceptual y funcionalmente muy complejo.

El **análisis de contexto** muestra que no hay disponibilidad de recursos prácticos de baja complejidad de implementación disponibles en *software* y muy escasos a nivel de *hardware*. Este análisis fue el que motivó la presentación del presente PID que se ha orientado a generar recursos en los dos ámbitos.

DESARROLLO DEL PROYECTO y RESULTADOS

El planteamiento básico que motivó la propuesta del presente proyecto fue el siguiente: considerando el amplio espectro de contenidos y docencia que imparte el área de Electrónica y, más específicamente, los que imparten los miembros de la presente propuesta de PID se hace necesaria una **generación de contenidos** que pueda usarse de **manera transversal** en diversas asignaturas y titulaciones para un mayor aprovechamiento de los recursos. El estudio del caso del PLL aquí propuesto es paradigmático por su importancia en aplicaciones de medida/instrumentación y su gran complejidad teórica que hemos mencionado más arriba. Adicionalmente los conceptos básicos que se explican en teoría se pueden escalar desde la simplicidad del diagrama de bloques funcional hasta el analítico en régimen lineal por lo que la exposición del circuito se aborda tanto a nivel de grado como de Máster (este circuito es la base del amplificador de tipo *lock-in* que se estudia experimentalmente en el Máster de Física y Matemáticas). Lo anterior justifica la elección del caso elegido para este PID.

En PIDs previos el grupo proponente ha desarrollado simulaciones usando software de tipo SPICE gratuito – en concreto PSPICE – cuya licencia no permite la simulación a nivel de circuito de PLLs, pero la reciente adquisición de 250 licencias de estudiante de Multisim elimina esas limitaciones. Ambas herramientas se usan actualmente en docencia. Adicionalmente, el circuito puede medirse en laboratorio usando soluciones comerciales integradas. Tanto los contenidos experimentales como los de simulaciones han sido el objeto de desarrollo en el presente PID.

Para alcanzar este objetivo general y los concretos del proyecto los miembros del grupo han desarrollado las acciones siguientes:

1. Elección y adquisición de circuitos PLL comerciales.
2. Simulación de PLLs usando Multisim y PSPICE.
3. Montaje en laboratorio y medida de parámetros de PLLs comerciales adquiridos.
4. Generación de contenidos y recursos docentes de autoaprendizaje que se han validado en docencia en el primer cuatrimestre de 2021.

Los recursos que se han empleado en el PID, además de los adquiridos en el PID, han sido:

- Moodle (Studium) para la documentación, acceso a contenidos y recursos generados para los estudiantes.
- Instrumentos de medida de banco (osciloscopio digital de dos canales, multímetro, entrenador, ...) que se usaron para la medida de los circuitos de prueba basados en PLL comercial.
- Software de simulación de National Instruments: Multisim y PSPICE en la versión de evaluación.

Dividimos los resultados obtenidos en este informe entre experimentales y de simulación, ambos se recogen en documentos para los estudiantes en función de las necesidades docentes.

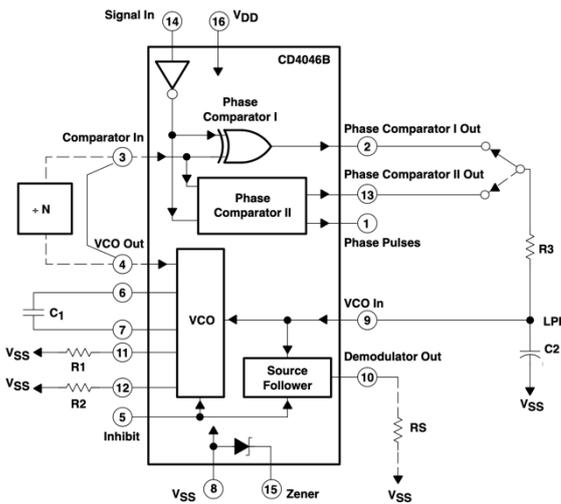


Figura 2. Diagrama de bloques de un PLL analógico CD4046

(<https://www.ti.com/lit/an/scha002a/scha002a.pdf>)

I-Resultados experimentales. Hemos realizado medidas usando el CD4046B. Este es uno de los primeros circuitos PLL integrados en tecnología CMOS y, a pesar de que su diseño tiene varias décadas de antigüedad, sigue siendo comercializado y es uno de los más populares en aplicaciones de baja frecuencia que son habituales, por ejemplo, en laboratorios de prácticas. Los datos técnicos pueden encontrarse en <https://www.ti.com/lit/an/scha002a/scha002a.pdf>. En la Figura 2 se muestra el esquema interno de los bloques y la asignación de pines.

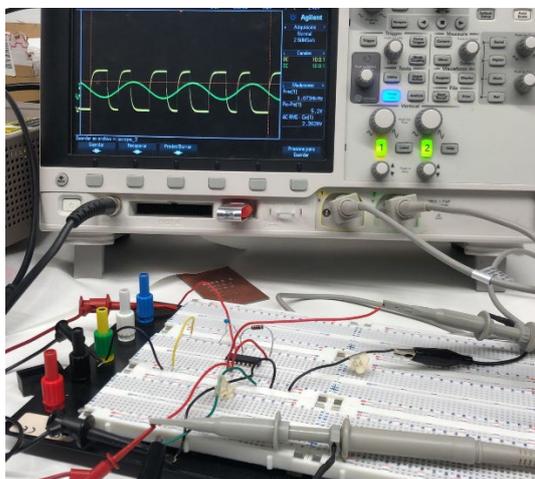


Figura 3. Circuito y Montaje de medida del CD4046

En la Figura 3 se muestra una fotografía del montaje del circuito en un *bread-board* y el osciloscopio usado para la medida. Hemos implementado dos procedimientos de prueba de los bloques internos para que los estudiantes puedan caracterizarlos utilizando medidas externas.

En la Figura 4 mostramos el circuito y una foto del conexionado para caracterizar el bloque oscilador controlado en tensión (VCO) del PLL.

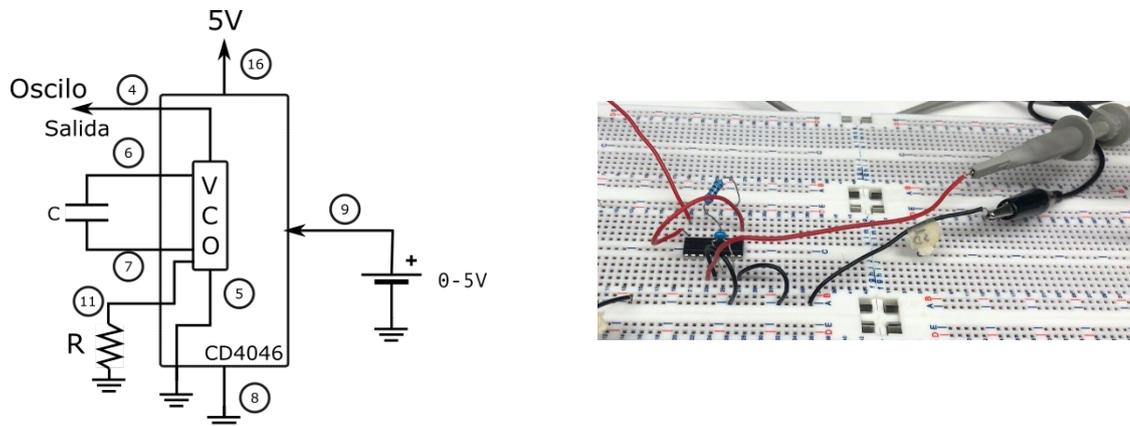


Figura 4. Circuito y montaje de generación de onda cuadrada.

Se utiliza un condensador C entre los pines 6 y 7 y una resistencia fija R se conecta desde el pin 11 a tierra (ver esquema de la Figura 4). El producto determina el valor de la frecuencia de oscilación de la onda cuadrada generada por el VCO. Los resultados experimentales se muestran en la Figura 5

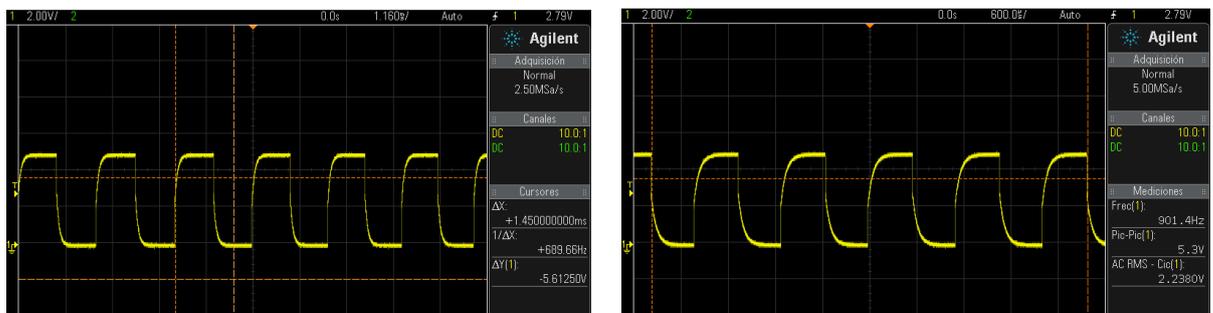


Figura 5. Captura de la pantalla del osciloscopio en el test del VCO con una frecuencia de oscilación $\approx 900\text{Hz}$.

La Figura 5 muestra las capturas de pantalla del circuito con dos valores de la constante temporal RC ($R=1\text{k}$, $C=250\text{nF}$). En este enlace se puede apreciar en un video el efecto de bloqueo de la fase cuando se aplica una tensión de 5 V en la entrada del pin 9:

<https://drive.google.com/file/d/1zbaC89gvxDqHCKPf-6NLvbzrg-kEsyyH/view?usp=sharing>

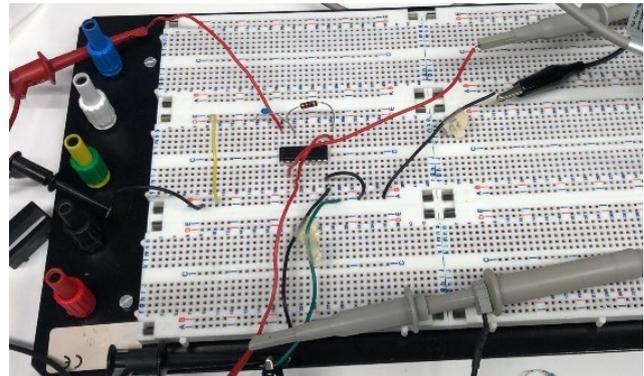
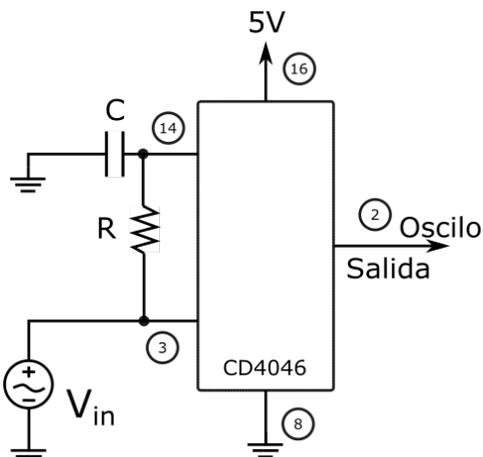


Figura 6. Circuito y montaje para la medida de la diferencia de fase entre dos señales.

El **segundo test** que se propone a los estudiantes es el del bloque de diferencia de fase que se muestra en la figura 6. En 4º del Grado en Física (Electrónica de Comunicaciones) y en la asignatura Caracterización de materiales y dispositivos se explica con detalle el funcionamiento de un PLL y de un amplificador de tipo *lock-in*, respectivamente. En el primer caso se estudia la detección de fase basada en una *Gilbert cell* de manera explícita. Los contenidos aquí mostrados son una excelente comprobación experimental de los vistos en teoría. El fundamento de la amplificación *lock-in* puede explicarse de forma muy similar a las bases de funcionamiento del PLL.

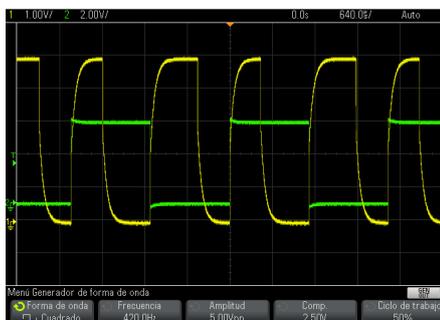


Figura 7. Captura de la pantalla del osciloscopio en el test del bloque de medida de la diferencia de fase. Entrada de tipo cuadrado.

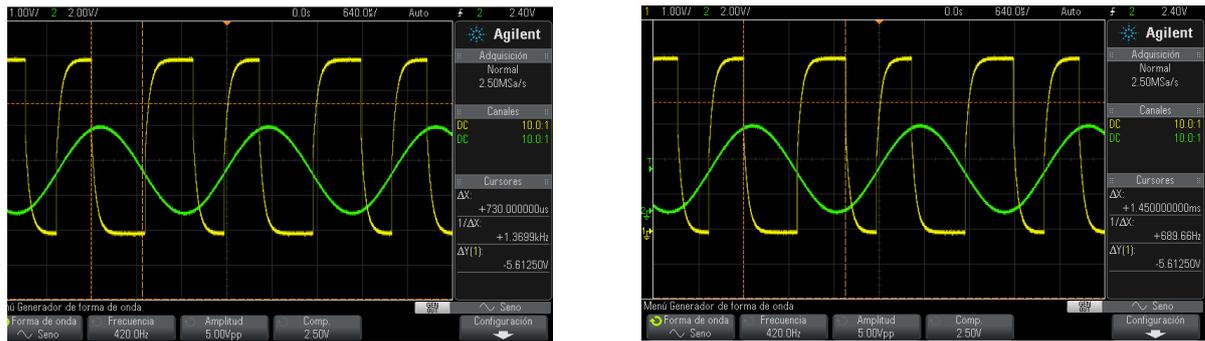


Figura 8. Captura de la pantalla del osciloscopio en el test del bloque de medida de la diferencia de fase. Entrada de tipo sinusoidal.

En la Figura 7 se muestra los resultados de la caracterización del subcircuito interno de medida de la diferencia de fase. El circuito de test se genera de manera muy simple: introduce en el pin 3 del PLL una señal cuadrada y la misma señal, pero retrasada mediante una red RC pasa-baja, se introduce en el pin 14 (figura 6). El pin 2 proporciona una media de la diferencia de fase entre las señales que reciben los pines 3 y 14. En el osciloscopio se representa la señal original aplicada al pin 3 (verde) y la obtenida en el pin 2 (onda de color amarillo). El osciloscopio sólo dispone de 2 canales. Pero se aprecia cómo la diferencia medida con los cursores cambia con la frecuencia de la señal. La diferencia de fase se obtiene integrando la onda amarilla en un periodo (observamos cómo se genera una onda de frecuencia doble a la de la entrada como consecuencia de la no linealidad del detector de fase). La Figura 8 muestra resultados similares a los mostrados en la Figura 8 para una entrada de tipo sinusoidal.

II-Contenidos de simulación. Como hemos señalado, las medidas experimentales desarrolladas se orientan preferentemente a estudiantes de Máster y de 4º del Grado en Física. Esto se hace así no en razón de la dificultad del montaje si no porque es necesario un buen conocimiento de los bloques internos del PLL. En cambio, para el estudiante es relativamente simple utilizar simulaciones de tipo SPICE independientemente del nivel de docencia.

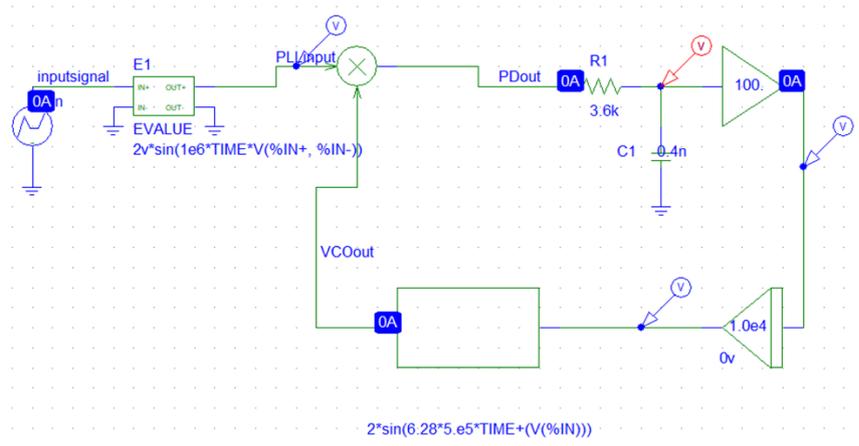
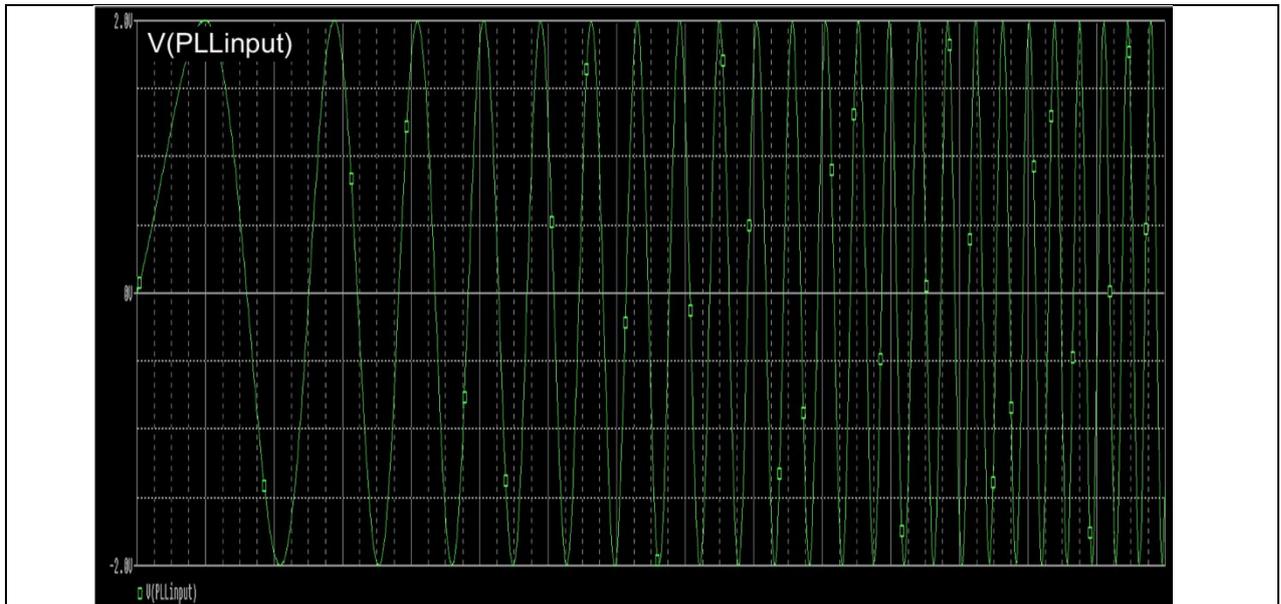


Figura 9. Esquema de un PLL definido en modo ABM en PSPICE.

En la Figura 9 se representa un diagrama en PSPICE que usa *Analog Behavioral Modelling* (ABM) de un PLL simulado en el dominio del tiempo. En este caso, el estudiante puede obtener y representar la función de cada bloque a nivel matemático, sin necesidad de una comprensión profunda de la implementación a nivel de circuito. De manera inversa, para un estudiante con un conocimiento avanzado del PLL sirve para poder diseñar cada bloque en función de la respuesta que se espera de cada uno de ellos.



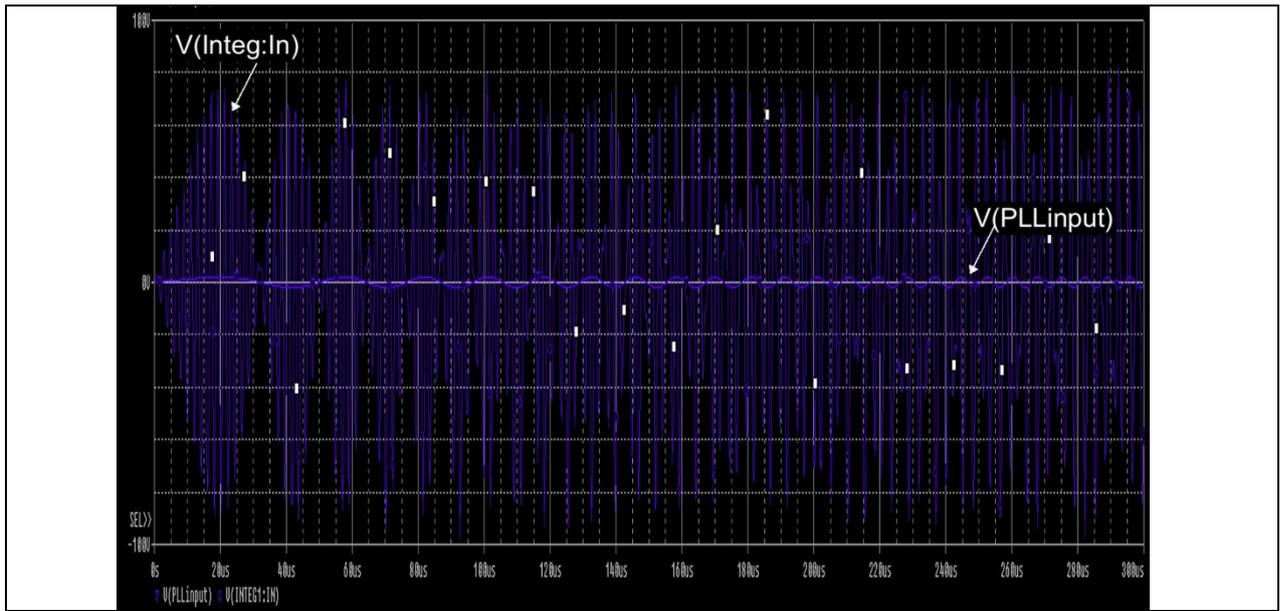


Figura 10. Señales obtenidas en simulación temporal en los puntos indicados para el esquema de la Figura 9.

En la Figura 10 se muestran resultados de simulación en dos puntos del circuito: La entrada PLLinput que es una señal de tipo FM (*plot* superior en verde) y el resultado de la detección de fase tras el filtrado pasa bajas y la amplificación x100 (*plot* inferior en azul).

En la Figura 11 presentamos una simulación de un PLL virtual en el simulador Multisim de National Instruments.

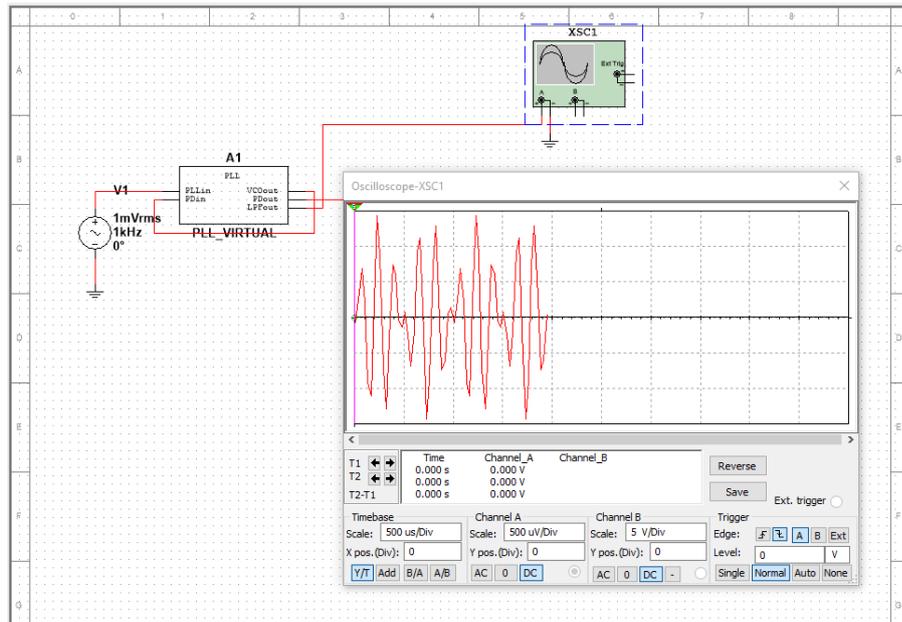


Figura 11. Simulación en el dominio del tiempo usando un PLL virtual en NI Multisim.

Finalmente, debemos indicar el flujo de implementación diseñado. El material docente desarrollado se prueba primero en asignaturas de Máster y 4º curso del Grado en Física para recoger las opiniones y sugerencias. Los estudiantes son poco numerosos, con excelente motivación, una buena base teórica y la interacción con el profesor ha hecho innecesario una evaluación anónima del Proyecto. Algunas sugerencias se han usado a la hora de redactar este informe. En cursos posteriores se desplegarán los materiales en otras asignaturas.

CONCLUSIONES

El PID se ha completado con éxito. Se han generado contenidos docentes tanto prácticos como de simulación sobre un circuito clave en numerosas aplicaciones críticas en comunicación y medida avanzada pero cuya explicación y aplicación en prácticas es compleja y, en gran medida, carente de recursos docentes libremente disponibles.

Hemos encontrado dificultades en el momento de la ejecución práctica debido a problemas de aprovisionamiento de componentes electrónicos a nivel mundial debido a la pandemia. No se han podido realizar prácticas de tipo presencial para los alumnos de Grado; la aplicación de Multisim y

PSPICE ha sido muy importante para el éxito de este PID y paliar el problema de restricciones en el número de horas en laboratorio. Por el momento hemos impartido la parte práctica del PID a alumnos del Máster con mas nivel teórico y las de simulación a los alumnos de Grado. Esperamos que, en los cursos futuros, se podrá generalizar esta docencia a más Grados.

Además de la generación de soportes para prácticas, se espera un impacto adicional directo en la docencia ya que, según nuestra experiencia docente, los estudiantes muestran una gran implicación en el aprendizaje cuando tienen una participación más activa en las prácticas.